

WEST

Generate Collection

L1: Entry 23 of 29

File: JPAB

Oct 5, 1990

PUB-NO: JP402250137A
DOCUMENT-IDENTIFIER: JP 02250137 A
TITLE: MEMORY CONTROLLER

PUBN-DATE: October 5, 1990

INVENTOR-INFORMATION:

NAME

SHIBATA, NAOHIRO

COUNTRY

ASSIGNEE-INFORMATION:

NAME

FUJITSU LTD

COUNTRY

N/A

APPL-NO: JP01007634

APPL-DATE: January 18, 1989

INT-CL (IPC): G06F 13/28; G06F 12/08; G06F 13/16

ABSTRACT:

PURPOSE: To improve the processing efficiency of memory write and a system by executing an access to a main storage part and bringing data stored in a store buffer to burst transfer, when a burst transfer flag of the store buffer instructs the burst transfer.

CONSTITUTION: When a burst transfer request is received from an MPU 21, an MPU interface means 12 stores an address of burst transfer data in a store buffer address part 111 of a store buffer 11, and stores the burst transfer data in a store buffer data part 112. A memory interface means 13 executes an access to a main storage part 22, and writes a data group stored in an SBUFDT part 112 to the main storage part 22 by a burst transfer in accordance with the address of the store buffer 11. In such a way, memory write can be executed by making the most of a high speed property which the burst transfer has, and the processing performance of the system can be improved.

COPYRIGHT: (C)1990, JPO&Japio

⑬ Int.Cl.⁵

G 06 F 13/28
12/08
13/16

識別記号

3 1 0 E
5 1 0 C

庁内整理番号

8840-5B
7010-5B
8841-5B

⑬ 公開 平成2年(1990)10月5日

審査請求 未請求 請求項の数 1 (全12頁)

⑭ 発明の名称 メモリ制御装置

⑮ 特 願 平1-7634

⑯ 出 願 平1(1989)1月18日

⑰ 発 明 者 柴 田 直 宏

神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑱ 出 願 人 富士通株式会社

神奈川県川崎市中原区上小田中1015番地
外2名

⑲ 代 理 人 弁理士 滝野 秀雄

明 細 書

1. 発明の名称

メモリ制御装置

2. 特許請求の範囲

バースト転送機能を備えたマイクロプロセッサ
(21)と主記憶部(22)との間のデータ転送
を制御するメモリ制御装置(10)において、

(a) メモリストア時のデータのアドレスが保持さ
れるストアバッファアドレス部(111)、メ
モリストア時のデータが格納されるストアバッ
ファデータ部(112)、メモリライトがバ
ースト転送による可否を示すバースト転送フラ
グ(BF)が格納されるバースト転送フラグ部
(113)を備えたストアバッファ(11)と、

(b) マイクロプロセッサ(21)と応答し、バ
ースト転送によるライト要求を受けたときは、ス
トアバッファデータ部(112)及びストアバ
ッファアドレス部(111)にバースト転送を
行うデータ及びアドレスを格納するとともに、

バースト転送フラグ部(113)にバースト転
送フラグ(BF)を格納するMPUIインタフェ
ース手段(12)と、

(c) バースト転送フラグ(BF)によりバースト
転送を認識したときは、主記憶部(22)にア
クセスしてストアバッファ(11)に格納され
たデータをバースト転送するメモリインタフェ
ース手段(13)、

を備えたことを特徴とするメモリ制御装置。

3. 発明の詳細な説明

(概 要)

バースト転送機能を有するマイクロプロセッサ
(MPU)と主記憶部との間のデータ転送を制御
するメモリ制御装置に関し、

従来のバースト転送機能をもたないメモリ制御
装置の基本構成を変更することなく、バースト転
送によるメモリライトを可能にして、メモリライ
ト及びシステムの処理効率の向上を目的とし、

バースト転送機能を備えたMPUと主記憶部と

の間のデータ転送を制御するメモリ制御装置において、メモリストア時のアドレス及びデータとともにバースト転送フラグが格納されるストアバッファと、バースト転送時にデータ及びアドレスとともにバースト転送フラグをストアバッファに格納する手段と、ストアバッファのバースト転送フラグがバースト転送を指示するとき、主記憶部にアクセスしてストアバッファに格納されているデータをバースト転送する手段を設けるように構成する。

(産業上の利用分野)

本発明は、バースト転送機能を備えたマイクロプロセッサと主記憶部との間のバースト転送を含むデータ転送を制御するメモリ制御装置に関する。

(従来の技術)

近年のマイクロプロセッサの高性能化は著しく、特に内部処理は、半導体技術の進歩による高速化、高集積化により処理能力が飛躍的に向上するよう

になってきた。例えば、32ビットマイクロプロセッサにおいては、そのMIPS (Million-instructions per second) 値に関しては汎用コンピュータに匹敵するまでになった。

また処理能力の飛躍的な向上に伴い、メモリアクセスも高速化されるようになってきた。このため主記憶とプロセッサの間のアクセス速度にギャップを生じるようになり、これを埋めるために、バッファが設けられるようになった。

例えば、メモリライトの場合は、転送されるアドレスとデータをバッファにラッチし、このラッチされたアドレス及びデータを取り出して主記憶部への書込みを行うが、その際書込み完了を待たずに応答を返すいわゆる突き放しライトにより、ライト処理の高速化を図っている。

また、データ転送を高速に行う場合は、バースト転送が有効であるため、従来のマイクロプロセッサではメモリからのリード時にバースト転送を行ってメモリのリード処理を高速化（特に命令フェッチの高速化がねらい）しているものがあつた。

3

しかし、ライト時は1度にデータを連続的に高速転送する必要がないことからバースト転送を行う構成をもっているものはなかった。

しかしながら、最近の32ビットマイクロプロセッサの中には内部にコピーバック機能をもった物理キャッシュをもち、コピーバック時（ライト時）1度にデータを連続的に高速転送できるバースト転送で行うものが現われ始めたが、従来の処理システム構成はマイクロプロセッサやメモリバス以外の構成ではバースト転送によるメモリライトができない構成になっていることから、バースト転送によるメモリライト機能をもったマイクロプロセッサよりバースト転送によるメモリライト要求が出されても、それを拒否する構成になっていた。

第4図は、このように、それ自体にバースト転送によるメモリライトが可能な性能があるマイクロプロセッサを用いた従来のメモリライト制御方式の構成をブロック図で示したものである。

第4図において、30はメモリ制御部であり、

4

マイクロプロセッサ(MPU)41からメモリバス43経由で主記憶部42に対して行われるメモリアクセスを制御する。ここで、MPU41はバースト転送機能を有しているが、メモリ制御装置30は、バースト転送によるメモリライト機能を有していない。なお、図中のメモリ制御装置30には、メモリライトに関係する構成部分だけが示されている。

メモリ制御装置30において、31はストアバッファであり、ストアバッファアドレス部(SBUFAD部)311及びストアバッファデータ部(SBUFDT部)312を備えている。SBUFAD部311には、メモリストア時のデータのアドレスが保持される。SBUFDT部312には、メモリストア時のデータが保持される。

32はMPUインタフェース部(MPUIF部)であり、MPU41からのメモリアクセスを認識し、メモリ制御装置30の各部に対して指示を与え、またMPU41に対して応答信号を返す。

33はストアバッファ制御部(SBUF制御部)

5

6

であり、ストアバッファ31の制御を行うとともに、ストアバッファ31の状態を各部に通知する。

34はメモリインタフェース部(MEMIF部)であり、主記憶部42へのアクセス制御を行うため、メモリ制御装置30の各部に対して指示を与える。

35はマルチプレクサ(MPX)であり、SBUFAD部311及びSBUFDT部312から取り出されたアドレス及びデータの選択を行う。

44はMPU21からSBUFAD部311にアドレスを転送するアドレスバス(ADバス)、45はMPU41とSBUFDT部312間のデータを転送するデータバス(DTバス)である。

46はMPX35で選択されたアドレス及びデータを共通バス43に転送するマルチプレックスバス(SAD₁バス)、47は共通バス43及び主記憶部42間のアドレス及びデータの転送を行うマルチプレックスバス(SAD₂バス)である。

次に、第4図の処理システムのメモリライト制御動作を、第5図の動作タイムチャートを参照し

て説明する。第5図は、MPU41からバースト転送によるライト要求があったときの動作を示すタイムチャートである。なお、転送されるデータは4個のデータDT₁～DT₄であり、そのアドレスはAD₁～AD₄であるとする。また、第5図(a)のクロックは、システムの動作タイミングを規制するシステムクロックである。

① MPU41は、ADバス44にアドレスAD₁を出力する(第5図(b))。それとともに、MPUIF部32に送るリード信号(RD信号)をネゲートし、アドレスストロブ信号(*AS信号)とバースト転送要求信号(*BURST信号)をアサートする(第5図(c)、(d)、(e)、なお、「*」は反転符号で、他の信号についても同様である)。これにより、MPUIF部32にはバースト転送によるメモリライトが指示される。

② 次にMPU41は、DTバス45に最初のデータDT₁を出力し、メモリ制御装置30からの応答信号(*ACK信号)のアサートを待つ(第5図(f))。

③ MPUIF部32は、MPU41からのRD信号および*BURST信号によりメモリライトを認識すると、SBUF制御部33が発行するバッファフル信号(*BFFULL信号)によりストアバッファ31がフルでないことを確認して、MPU41に返す*ACK信号をアサートする(第5図(g))。

SBUF制御部33は、ストアバッファ31を参照し、フルでないときは*BFFULL信号をネゲートし、フルのときはアサートする。

もし*BFFULL信号がアサートされたときは、MPUIF部221は*BFFULL信号がネゲートされるまで、MPU21に返す*ACK信号をアサートしない。したがって、*ACK信号がアサートされるまでの間、MPU41はウェイト状態になる。

④ MPUIF部32は、MPU41にアサートされた*ACK信号を返すとともに、ラッチイン信号(LT-IN信号)をSBUF制御部33に送る。SBUF制御部33はこのLT-IN信号

を受けると、ADバス44及びDTバス45上のアドレスAD₁及びデータDT₁を、対応するSBUFAD部311及びSBUFDT部312にそれぞれラッチする(第5図(h)、(i)、(j))。

⑤ メモリ制御装置30は、バースト転送によるメモリライト制御機能を有していない。しかし、MPU41からは*BURST信号がアサートされているので、MPUIF部32はこれを拒否するために、バースト転送拒否信号(*BURST-INH信号)を*ACK信号と同じタイミングでアサートする(第5図(k))。

⑥ MPU41は、*ACK信号のアサートを認識すると、*BURST-INH信号をチェックする。*BURST-INH信号がアサートしていたならば、バースト転送を中止してシングル転送に切り替えるために、アサートされていた*BURST信号をネゲートにする(第5図(l))。

⑦ 次に、MPU41は、ADバス44に次のアドレスAD₂を出力し、DTバス45には次のデータDT₂を出力する。同様に、アドレス及び

データAD、及びDT、更にAD、及びDT、を順番に出力する(第5図(b)、(d))。

⑧ 一方、ストアバッファ31にアドレスAD、及びデータDT、がラッチされると、SBUF制御部33は、ストアバッファ31がビジーであることを示すバッファビジー信号(*BUFF-BUSY信号)をアサートしてMEMIF部34に送る(第5図(c))。この*BUFF-BUSY信号は、ストアバッファ31にアドレス及びデータがあるときにアサートされる。

⑨ MEMIF部34は、BUFF-BUSY信号がアサートされると、SBUF制御部33にラッチアウト信号(LT-OUT信号)を送出する(第5図(e))。

⑩ このLT-OUT信号を受けると、SBUF制御部33は、SBUFAD部311よりAD、を取り出し、SBUFDT部312よりDT、を取り出してMPX35に送る。

⑪ MEMIF部34は、MPX35より最初のアドレスAD、を選択してSAD、バス46上に

出力し、共通バス43及びSAD、バス47を経由して主記憶部42に送る。それとともに、メモリライト開始を指示するスタート信号(START信号)をアサートして主記憶部42に送る(第5図(f)、(h))。

⑫ 主記憶部42は、このSTART信号を受けると、応答信号であるS-ACK信号を返してデータの受信準備をする(第5図(g)、(i))。

⑬ MEMIF部34は、このS-ACK信号を認識すると、MPX35に出力中のデータDT、を選択してSAD、バス46に出力し、共通バス43及びSAD、バス47を経由して主記憶部42に送る(第5図(h)、(j))。

主記憶部42は、SAD、バス47より入力されたアドレスAD、の指示するアドレス領域にデータDT、をライトする。

⑭ データDT、のライトが終了すると、MEMIF部34はLT-OUT信号をアサートし、SBUF制御部33にストアバッファ31より次のアドレスAD、及びデータDT、を取り出させて

11

主記憶部42に送り、アドレスAD、の指示するアドレス領域にデータDT、をライトさせる。

以下同様にして、アドレス及びデータAD、DT、及びAD、DT、をストアバッファ31より取り出し、そのアドレスAD、及びAD、の指示するアドレス領域にデータDT、及びDT、をそれぞれライトさせる(第5図(h)~(j))。このように、MEMIF部34は、BUFF-BUSY信号がアサートされている間、主記憶部42に対するライト制御を行い、これによりストアバッファ31の全データがシングル転送により主記憶部42にライトされる。

(発明が解決しようとする課題)

従来のバースト転送制御機能をもたないメモリ制御装置によるメモリライト制御方式においては、MPUからのバースト転送によるライト要求があっても、それに対して応答できないため、前述のようにMPUからのバースト転送要求を拒否し、バースト転送をシングル転送に切り替えて転送さ

12

せていた。

このため、シングル転送の転送能力はバースト転送に比べて劣ることから、バースト転送能力をもったMPUの性能が十分に生かされず、メモリライト制御の高速化やシステムの性能向上が妨げられるという問題があった。

本発明は、従来のメモリライト制御方式の基本構成を変更することなく、バースト転送機能を有するMPUを用いてバースト転送によるメモリライトを可能にし、システムの処理効率を向上させるようにしたメモリ制御装置を提供することを目的とする。

(課題を解決するための手段)

前述の課題を解決するために本発明の採用した手段を、第1図を参照して説明する。第1図は、本発明の基本構成をブロック図で示したものである。

第1図において、10はメモリ制御装置であり、マイクロプロセッサ(MPU)21から主記憶部

14

13

22に対して行われるメモリアクセスを制御する。メモリ制御装置10において、11はストアバッファであり、ストアバッファアドレス部(SBUFAD部)111、ストアバッファデータ部(SBUFDT部)112及びバースト転送フラグ部(BF部)113を備えている。

SBUFAD部111には、メモリストア時のデータのアドレスが保持される。SBUFDT部112には、メモリストア時のデータが保持される。BF部113には、メモリライトがバースト転送によるか否かを指示するバースト転送フラグ(BF)が保持される。

12はMPUIインタフェース手段(MPUIF手段)で、MPU21と応答し、MPU21からバースト転送によるライト要求を受けたときは、SBUFDT部112及びSBUFAD部111にバースト転送を行うデータ及びアドレスを格納するとともに、BF部113にバースト転送フラグBFを格納する。

13はメモリインタフェース手段(MEMIF

手段)であり、ストアバッファ11のBF部113に格納されたバースト転送フラグBFがバースト転送を指示しているときは、主記憶部22にアクセスしてストアバッファ11のデータをバースト転送によりメモリライトする。

なお、第1図のメモリ制御装置10には、メモリライトに関係する構成だけが示されている。

(作用)

MPU21は、バースト転送によるメモリライトを行うときは、バースト転送要求をメモリ制御装置10に発行する。

メモリ制御装置10のMPUIF手段12は、MPU21からバースト転送要求を受けたときは、ストアバッファ11のSBUFAD部111にバースト転送データのアドレス(AD)を格納し、SBUFDT部112にバースト転送データ(DT、~DT、とする)を格納する。それとともに、ストアバッファ11のBF部113にバースト転送フラグBFをセットする。

15

MEMIF手段13は、ストアバッファ11のBF部113に格納されているバースト転送フラグBFがバースト転送を指示するときは、主記憶部22にアクセスし、ストアバッファ11のSBUFAD部111のアドレスに従って、SBUFDT部112に格納されているデータ群(DT、~DT)をバースト転送により主記憶部22にライトする。

以上のように、ストアバッファ11にBF部113を設けて、ストアバッファ11に格納されたデータがバースト転送されるものであることを指示するようにしたので、主記憶部22に対するライト制御を行うMEMIF部13は、このバースト転送フラグBFによりバースト転送によるライトであることが認識して、バースト転送によるメモリライトを行うことができる。

これにより、バースト転送のもつ高速度を生かしてメモリライトを行うことが可能となり、システムの処理性能を向上させることができる。また、バーストフラグに関連する構成を付加するだけで

16

あるので、従来のメモリ制御装置の基本構成を変更することなく、バースト転送によるメモリライトを行うことができる。

(実施例)

本発明の実施例を、第2図及び第3図を参照して説明する。第2図は本発明の一実施例の構成の説明図、第3図は同実施例の動作タイミングチャートである。

(A) 実施例の構成

第2図において、メモリ制御装置10、ストアバッファ11、ストアバッファアドレス部(SBUFAD部)111、ストアバッファデータ部(SBUFDT部)112、バーストフラグ部(BF部)113、MPUIインタフェース手段(MPUIF手段)12、メモリインタフェース手段(MEMIF手段)13、マイクロプロセッサ(MPU)21、主記憶部22については、第1図で説明したとおりである。

17

18

MPUIF手段12において、121はMPUIFインタフェース部(MPUIF部)であり、MPU21からのメモリアクセスを認識し、メモリ制御装置10の各部に対して指示を与え、またMPU21に対して応答信号を返す。バースト転送によるメモリライト時は、ストアバッファ11のBF部111にバースト転送フラグBFをセットする。

14はストアバッファ制御部(SBUF制御部)であり、MPUIF手段12及びMEMIF手段13の一部として機能する。MPUIF手段12の一部として、ストアバッファ11にバースト転送データ及びアドレスを格納する制御、BF部113にバースト転送フラグBFをセットする制御、ストアバッファ11の状態をMPUIF部121に通知する制御等を行う。

MEMIF手段13において、131はMEMIFインタフェース部(MEMIF部)であり、主記憶部22へのアクセス制御を行うため、メモリ制御装置10の各部に対して指示を与える。ストア

バッファ11のBF部113にバーストフラグBFがセットされたときは、バースト転送によるメモリライト制御を行う。

SBUF制御部14は、MEMIF手段13の一部として機能するが、その場合は、ストアバッファ11に格納されているアドレス及びデータの取り出し及びストアバッファ11の状態をMEMIF部131に通知する制御等を行う。

15はマルチプレクサ(MPX)であり、SBUFAD部111及びSBUFDT部112から取り出されたアドレス及びデータの選択を行う。

23は共通バスであり、メモリ制御装置10と主記憶部22間のデータ及び各種制御信号を転送する。

24はアドレスバス(ADバス)であり、MPU21からSBUFAD部111にライトデータ、のアドレスを転送する。25はデータバス(DTバス)であり、MPU21とSBUFDT部112間のデータを転送する。26はマルチプレクサ(SADバス)であり、MPX15で選択

19

20

されたアドレス及びデータを共通バス23に転送する。27もマルチプレクサバス(SADバス)であり、共通バス23及び主記憶部22間のアドレス及びデータの転送を行う。

以上の各構成から分るように、本発明の実施例の構成は、第4図に示した従来のメモリ制御装置30のストアバッファ31にBF部を設け、それに関連する制御を付加した構成になっており、その構成の変更は僅かである。

(B) 実施例の動作

第2図の実施例の動作を、第3図の動作タイムチャートを参照して説明する。第3図は、MPU21からバースト転送によるライト要求があったときのライト動作を示すタイムチャートである。なお、バースト転送されるデータはDT₁～DT_nであり、その先頭アドレスはADであるとする。また、第3図(a)のクロックは、システムの動作タイミングを規制するシステムクロックである。

① MPU21は、ADバス24にアドレスAD

を出力する(第3図(a))。それとともに、MPUIF部121に送るリード信号(RD信号)をネゲートし、アドレスストローブ信号(*AS信号)とバースト転送要求信号(*BURST信号)をアサートする(第3図(c)、(d)、(e))。これにより、MPUIF部121には、バースト転送によるメモリライトが指示される。

② 次にMPU21は、DTバス25に最初の転送データDT₁を出力し、メモリ制御装置10からの応答信号(*ACK信号)のアサートを待つ(第3図(f))。

③ MPUIF部121は、MPU21からのRD信号及び*BURST信号によりメモリライトを認識すると、SBUF制御部14が発行するバッファフル信号(*BFFULL信号)によりストアバッファ11がフルでないことを確認して、MPU21に返す*ACK信号をアサートする(第3図(g)、(h))。SBUF制御部14は、ストアバッファ11を参照し、フルでないときは*BFFULL信号をネゲートし、フルのときはアサ

21

22

トする。

もしBFFULL信号がアサートされたときは、MPUIF部121は*BFFULL信号がネゲートされるまで、MPU21に返す*ACK信号をアサートしない。したがって、*ACK信号がアサートされるまでの間、MPU21は待ち状態になる。

④ MPUIF部121は、MPU21にアサートされた*ACK信号を返すとともに、ラッチイン信号(LT-IN信号)をSBUF制御部14に送る。SBUF制御部14はこのLT-IN信号を受けると、ADバス24及びDTバス25上のアドレスAD及びデータDT_iを、対応するSBUFAD部111及びSBUFD_T部112にそれぞれラッチする(第3図(n), (o), (i))。

⑤ SBUF制御部14は、ストアバッファ11を参照し、バースト転送されるデータを格納することが可能なときは、バースト転送許可信号(BURST-OK信号)をアサートする(第3図(ii))。

⑥ MPUIF部121は、BURST-OK信

号がアサートされているか否かを判定し、BURST-OK信号がアサートされているならば、BF部113にバースト転送フラグBFをセットするためのバースト転送フラグセット信号(B-SET信号)アサートする(第3図(n))。

⑦ SBUF制御部124は、B-SET信号がアサートされているときは、LT-IN信号でアドレスAD及びデータDT_iをラッチするタイミングで、BF部113にバースト転送フラグBFをセットする(第3図(n), (o), (i), (j))。BFセット後、B-SET信号はMPUIF部121によりネゲートされる。

また、*ACK信号をアサートすると同じタイミングで、バースト転送拒否信号(*BURST-INH信号)をネゲートして、バースト転送拒否を解除する(第3図(e), (n))。

⑧ MPU21は、*BURST-INH信号がネゲートされているときはバースト転送が許可されたものと見なし、アドレスをADに固定したままデータをDT₁、DT₂、DT₃に連続して切

23

り替えて、DTバス25上に順番に出力する(第3図(n), (o))。

⑨ MPUIF部121は、LT-IN信号をデータの切替えタイミングに合わせてSBUF制御部14に送る。SBUF制御部14は、このLT-IN信号によりDTバス25上に出力されたデータDT₁、DT₂及びDT₃をSBUFD_T部112にFIFO形式でラッチする(第3図(o), (i))。

⑩ SBUF制御部14は、データDT₁をラッチしたタイミングでBURST-OK信号をネゲートにする。

⑪ スストアバッファ11にアドレスAD及びデータDT₁がラッチされると、SBUF制御部14は、ストアバッファ11がビジーであることを示すバッファビジー信号(BUFF-BUSY信号)をアサートしてMEMIF部131に送る(第3図(n))。このBUFF-BUSY信号は、ストアバッファ11内にアドレス及びデータがあるときにアサートされる。

⑫ MEMIF部131は、BUFF-BUSY

信号がアサートされると、SBUF制御部14にラッチアウト信号(LT-OUT信号)を送り出す(第3図(i))。

⑬ このLT-OUT信号を受けると、SBUF制御部14は、SBUFAD部111よりアドレスADを取り出し、SBUFD_T部112より最初のデータDT₁を取り出してMPX15に送る。その際、BF部113からバースト転送フラグBFをバースト転送出力信号(B-OUT信号)として出力し、MEMIF部131に送る(第3図(o))。

⑭ MEMIF部131は、MPX15によりアドレスADを選択してSAD₁バス26上へ出力し、共通バス23及びSAD₂バス27を経由して主記憶部22に送る。それとともに、メモライト開始を指示するスタート信号(START信号)をアサートして主記憶部22に送る(第3図(o), (i))。

⑮ MEMIF部131は、B-OUT信号がアサートしていたならば、主記憶部22に対してS

24

25

26

AD、バス26及びSAD：バス27にバースト転送を行う旨の制御信号をアサートする。この制御信号は、アドレスADとともに主記憶部22に送られる(第3図㉒)。

㉑ 主記憶部22は、アドレスAD及びバースト転送を指示する制御信号を受けると、応答信号であるS-ACK信号をMEMIF部131に返して、受信準備をする(第3図㉒)。

㉒ MEMIF部131は、S-ACK信号を認識するとMPX15に出力中のデータDT、を選択しSAD、バス26に出力し、共通バス23及びSAD、バス27を経由して主記憶部22に送る(第3図㉒、㉓)。データDT、の出力が終了すると、ラッチアウト信号(LT-OUT信号)をSBUF制御部14に送る。その際、LT-OUT信号を切り替えてバースト転送を実行する。SBUF制御部14は、LT-OUT信号の切り替えられる毎にSBUFD T部112よりDT、DT、及びDT、をFIFO形式で順番に取り出し、主記憶部22にバースト転送する(第3図㉓)。

(㉓)。

㉔ SBUFD T部112にあるバースト転送用データ(DT、~DT、)がすべて転送されると、ストアバッファ11はフルでなくなるので、SBUF制御部14は、BUFF-BUSY信号をネゲートする(第3図㉓)。

㉕ MEMIF部131は、BUFF-BUSY信号がネゲートされると、LT-OUT信号をSBUF制御部14に送るのを停止し、バースト転送を終了する。

以上、バースト転送データがDT、~DT、の4個の場合について説明したが、これ以外の個数のデータのバースト転送も同様にして行うことができる。

また、シングル転送の場合は、バースト転送フラグBFがBF部113にセットされないので、第5図で説明した同様にしてシングル転送が行われる。

27

(発明の効果)

以上説明したように、本発明によれば次の諸効果が得られる。

- (1) 以上のようにストアバッファ11にバーストフラグ(BF)部113を設けて、ストアバッファ11に格納されたデータがバースト転送されるものであることを指示するようにしたので、主記憶部22に対するライト制御を行うMEMIF部13は、このバーストフラグBFよりバースト転送によるライトであることを認識して、バースト転送によるライトを行うことができる。
- (2) 前記(1)により、バースト転送のもつ高速性を生かしてメモリライトを行うことが可能となり、システムの処理性能を向上させることができる。
- (3) バーストフラグに関連する構成を付加するだけであるので、従来のメモリ制御装置の基本構成を変更することなく、バースト転送によるメモリライトを行うことができる。

28

4. 図面の簡単な説明

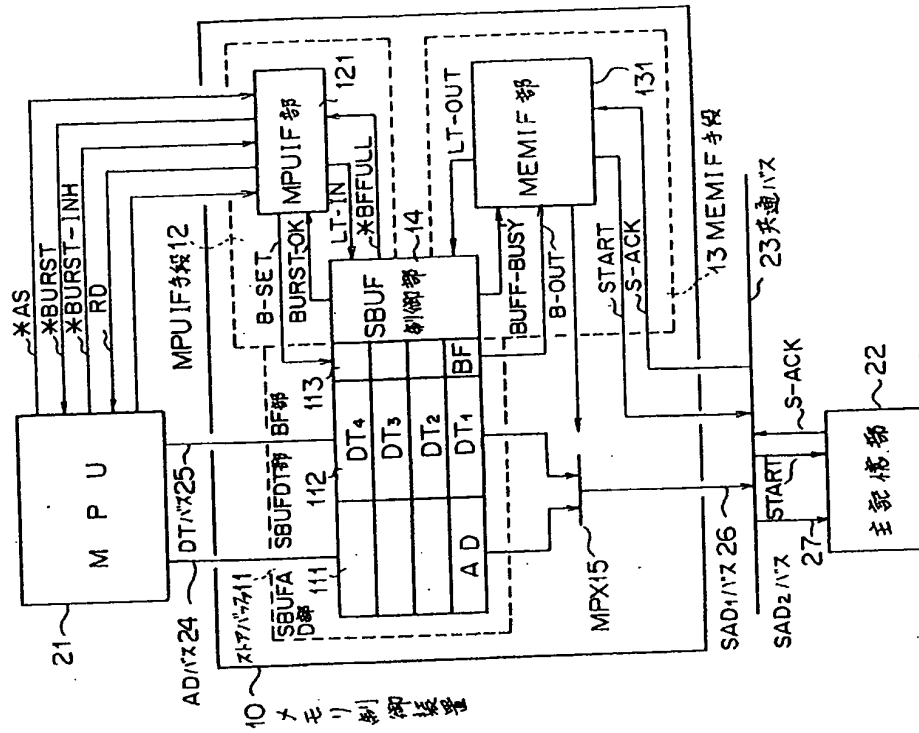
- 第1図は、本発明の基本構成の説明図、
第2図は、本発明の一実施例の構成の説明図、
第3図は、同実施例の動作タイミングチャート、
第4図は、従来のメモリライト制御方式の説明図、
第5図は、従来のメモリライト制御方式の動作タイミングチャートである。

第1図及び第2図において、

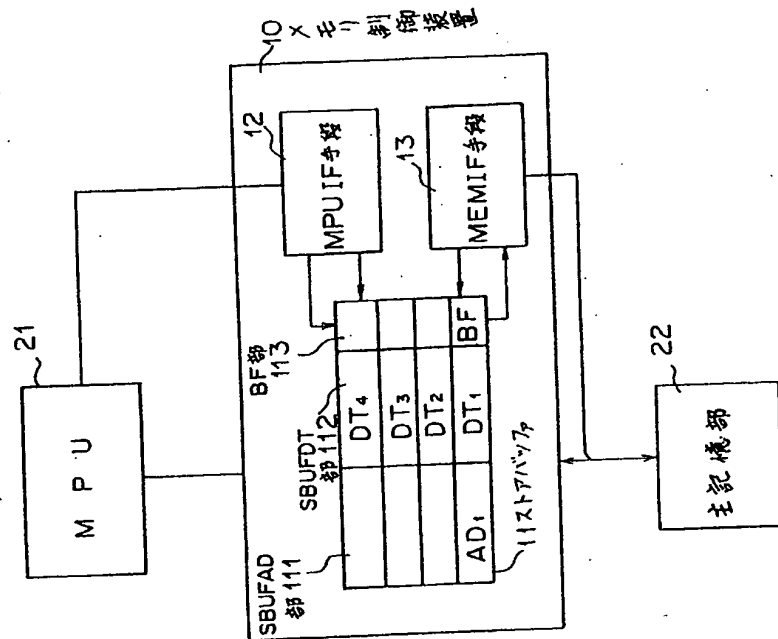
10…メモリ制御装置、11…ストアバッファ、
111…ストアバッファアドレス部(SBUFA D部)、112…ストアバッファデータ部(SBU D T部)、113…バースト転送フラグ部(B F部)、12…MPUインタフェース手段(MP U I F手段)、121…MPUインタフェース部(MP U I F部)、13…メモリインタフェース手段(MEM I F手段)、131…メモリインタフェース部(MEM I F部)、14…ストアバッファ制御(SBUF制御部)、21…マイクロプロセッサ(MPU)、22…主記憶部。

29

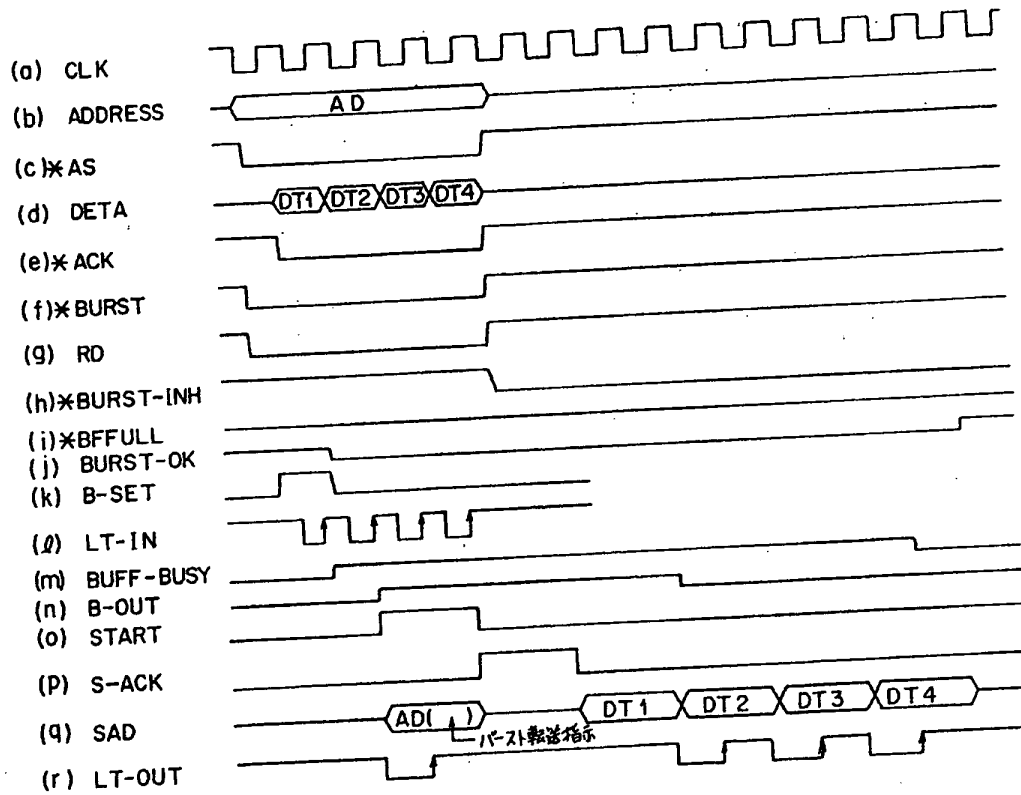
30



実施例の構成
第2図

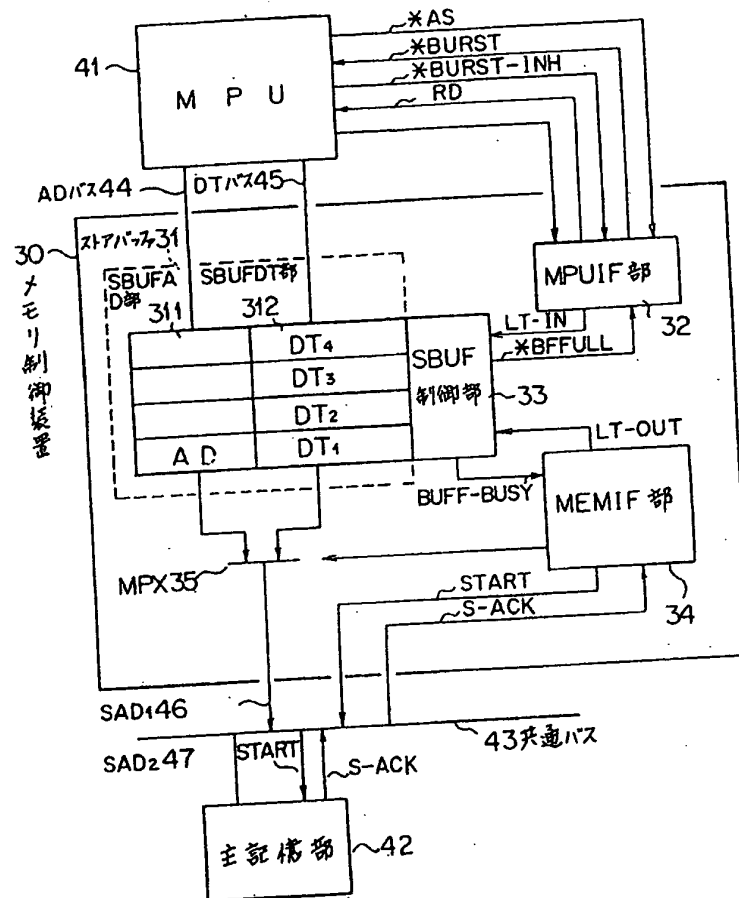


本発明の基本構成
第1図



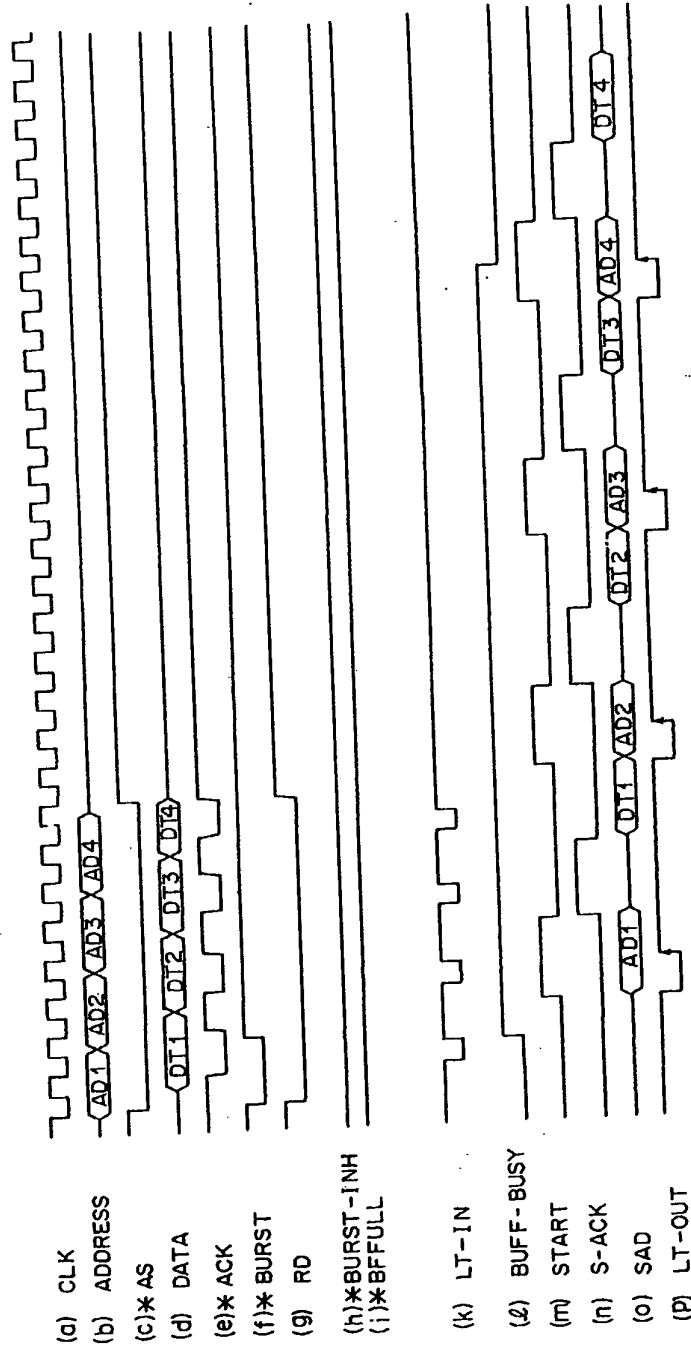
実施例の動作タイミングチャート

第 3 図



従来のメモリライト制御方式

第 4 図



従来のメモリライト制御方式の
動作タイムミングチャート

第 5 図